

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-292376

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H04N 5/335

H01L 27/148

H04N 9/07

(21)Application number : 2000-117738

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 19.04.2000

(72)Inventor : YOSHIDA HIDEAKI

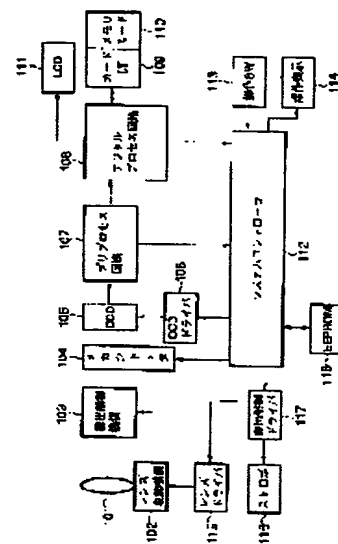
(30)Priority

Priority number : 2000022758 Priority date : 31.01.2000 Priority country : JP

## (54) IMAGING APPARATUS

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance sensitivity by addition of pixel and also enhance frame rate without necessitating a complicated arithmetic processing.  
**SOLUTION:** This color imaging apparatus is provided with a CCD imaging device 105 having an interline type electric charge transfer path adaptable to interlace reading and a Bayer-pattern color filter array, a CCD driver 106 to drive the imaging device 105 and capable of executing reading by the addition of pixels in the vertical direction in the transfer path other than normal signal reading, a digital process circuit 107 capable of executing the addition of pixels to a read pixel signal in the horizontal direction and an operation switch system 113 to switch a first photographic mode adaptable to the normal reading and a second photographic mode different from the first one, the reading by the addition of pixels regarding two pixels in the vertical direction is performed by the CCD driver 106 and an addition processing of two pixels every other pixel is performed in the horizontal direction by a pre-process circuit 107 when the second photographic mode is set.



## LEGAL STATUS

[Date of request for examination]

20.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号  
特開2001-292376  
(P2001-292376A)

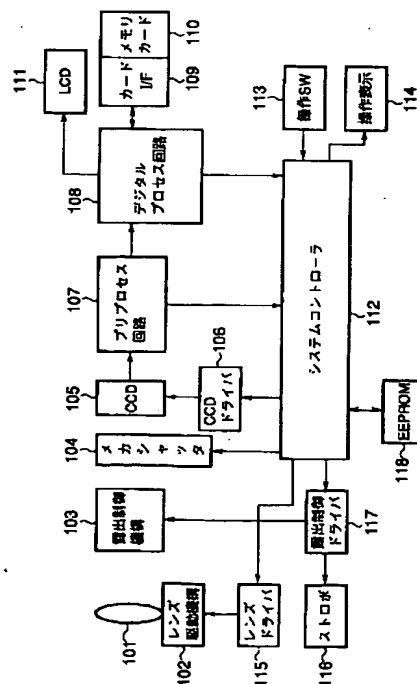
データコード\* (参考)

4 M 1 1 8
5 C 0 2 4
5 C 0 6 5

(71)出願人 000000376  
オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷 2 丁目43番 2 号

(72)発明者 吉田 英明  
東京都渋谷区幡ヶ谷 2 丁目43番 2 号 オリ  
ンパス光学工業株式会社内

(74)代理人 100058479  
弁理士 鈴江 武彦 (外4名)



## 【特許請求の範囲】

【請求項1】インターライン型電荷転送路を有した撮像素子と、この撮像素子を駆動し、通常の信号読み出しの他に前記転送路内で垂直方向の複数画素電荷を加算しつつ信号読み出しを行う加算読み出しを実行可能な駆動手段と、前記撮像素子から読み出した読み出し後の画素信号に対して水平方向の複数画素に関する加算処理を実行可能な加算演算手段と、前記撮像素子の通常読み出しに対応した第1の撮影モードとこれとは異なる第2の撮影モードとを切替可能に設定するモード設定手段とを具備してなり、

前記モード設定手段が第2の撮影モードを設定した場合には、前記駆動手段は垂直方向の複数画素に関する加算読み出しを実行し、前記加算演算手段は水平方向の複数画素に関する加算処理を実行することを特徴とする撮像装置。

【請求項2】インターレース読み出し対応のインターライン型電荷転送路とベイ配列の色フィルタを有したカラー撮像素子と、この撮像素子を駆動し、通常の信号読み出しの他に前記転送路内で垂直方向の複数画素電荷を加算しつつ信号読み出しを行う加算読み出しを実行可能な駆動手段と、前記撮像素子から読み出した読み出し後の画素信号に対して水平方向の複数画素に関する加算処理を実行可能な加算演算手段と、前記撮像素子の通常読み出しに対応した第1の撮影モードとこれとは異なる第2の撮影モードとを切り換え可能に設定するモード設定手段とを具備してなり、

前記モード設定手段が第2の撮影モードを設定した場合には、前記駆動手段は垂直方向に隣接する複数画素に関する加算読み出しを実行し、前記加算演算手段は水平方向に1画素おきの複数画素に関する加算処理を実行することを特徴とする撮像装置。

【請求項3】第2の撮影モードにおいて、前記駆動手段及び加算演算手段による各々の加算画素数は同じで、2以上の整数Nであることを特徴とする請求項1又は2記載の撮像装置。

【請求項4】前記撮像素子に対する露光量を制御する露出制御手段を有し、該露出制御手段は、第2の撮影モードにおける露光量の目標値を第1の撮影モードにおける露光量の目標値の $1/N$ に制御することを特徴とする請求項3記載の撮像装置。

【請求項5】第2の撮影モードにおいて前記駆動手段は、前記撮像素子の垂直転送路で2倍速駆動し、垂直方向に隣接する2画素を前記撮像素子の水平転送路内で加算することを特徴とする請求項3記載の撮像装置。

【請求項6】第2の撮影モードにおいては、前記加算演算手段の出力を $1/N$ 倍した後に、画素数に関する項目を除いては第1の撮影モードにおける出力信号と同一の映像信号処理を施すことを特徴とする請求項3記載の撮像装置。

【請求項7】前記撮像素子に対する露光量を制御する露出制御手段を有し、第2の撮影モードにおいて、前記駆動手段による加算画素数は2以上の整数Nであり、前記露出制御手段は、第2の撮影モードにおける露光量の目標値を第1の撮影モードにおける露光量の目標値の $1/N$ 以下に制御することを特徴とする請求項1又は2記載の撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CCD等の撮像素子を用いた撮像装置に係わり、特に画素加算により感度の向上をはかった撮像装置に関する。

## 【0002】

【従来の技術】近年、CCD等の撮像素子により被写体像を撮像して映像信号を得るデジタルスチルカメラ（電子カメラ）が盛んに開発されている。このような撮像装置においては、動画撮像装置、静止画撮像装置の別を問わず、撮像素子の隣接する画素情報の加算、例えば垂直方向2画素と水平方向2画素の合計4画素の信号の加算によって、解像度は低下するものの、感度の向上をはかることができるとされている。

【0003】この種の加算の具体的な方法としては、撮像素子から画素信号を通常の方法で（1画素ずつ）読み出した後に、例えばA/D変換してデジタル系で加算する外部デジタル加算方式や、撮像素子内で例えばCCD撮像素子の転送駆動を工夫し、転送路内で電荷加算する素子内アナログ加算方式等が知られている。

【0004】ところが、実際にこの技術をカメラに適用しようとする、一応感度上昇効果は得られるものの、その際却ってノイズが増加するなど、単なる画素数減少による解像度劣化にとどまらない画質劣化を生じる場合があった。

【0005】この点に関して、例えば4画素加算の場合に4倍の感度が得られるとした記載も従来の公開文献にまみえられるが、これはノイズまで考慮した場合には正しいとは言えない。何故なら、このときのノイズ改善効果（SN向上度）はランダムノイズの統計的性質から加算数の平方根に比例することが知られており、4画素加算によつてはSN2倍（即ち6dB）が期待できるのみである。従つて、画質（ノイズレベル）を保った撮像を行う場合は感度2倍、即ち標準の $1/2$ 露光量で行う撮像までが限界となる。仮に、4倍の感度を得るために $1/4$ 露光量で撮像して4画素加算した場合、信号成分Sは $1/4 \times 4 = 1$ 倍、ノイズNは $1 \times \sqrt{4} = 2$ 倍となりSNは6dB劣化してしまう。

【0006】そこで次に、4画素加算に関して $1/2$ 露光量で露光を行った場合を考える。外部デジタル加算方式では、撮像素子から出力される信号レベルは $1/2$ しかないから、ノイズレベルは相対的に2倍になっている。アナログ（ランダム）ノイズはその後の4画素加算

で $1/\sqrt{4}$ 、即ち $1/2$ となるから問題ないが、量子化ノイズは加算しても改善されないため相対的に2倍のままであり、上記画質劣化を生じていた。また、この外部デジタル加算方式の場合は、フレームレートは通常撮像の場合と同じで向上することができない上、デジタル演算が2次元となり、記録のための信号処理時間を増大させるという問題もあった。

【0007】一方、素子内アナログ加算方式の場合は、撮像素子内での飽和问题があった。即ち、加算の実行場所である水平転送路や撮像素子出力アンプの最大出力レベルは、一般には通常の読み出し、即ち1画素分の電荷量までしか保証していない。ところが、 $1/2$ 露光の4画素加算では $1/2 \times 4 = 2$ 画素分の電荷量を取り扱う必要が生じるからこれに対応できず、素子段階で信号がクリップされてしまい、上記画質劣化を生じてしまうものであった。

【0008】また、撮像素子内部での画素電荷の加算は、通常連続する画素間でのみ可能なので、例えばベイ配列のような単板式カラー撮像素子への適用は困難である。従って、単板式カラー撮像素子では、一旦通常読み出した後に、同じ色同士を外部演算で加算する手法に頼らざるを得なかった。この場合、演算が2次元になるので複雑、長時間となる上、フレームレートの向上はできないものであった。

【0009】

【発明が解決しようとする課題】このように従来、撮像装置の感度向上のために画素加算を行おうとすると、外部デジタル加算方式では、フレームレートは通常撮像の場合と同じで向上することができない上、デジタル演算が2次元となり、記録のための信号処理時間を増大させるという問題があった。さらに、素子内アナログ加算方式の場合は、撮像素子内での飽和问题があり、素子段階で信号がクリップされてしまい、画質劣化を生じてしまう問題があった。

【0010】また、従来の単板式カラー撮像装置においては、感度向上のために画素加算を行おうとすると、撮像素子外部で2次元の複雑な演算処理が必要となり、システムの負担が大きくなる問題があった。また、フレームレートの向上をはかることは困難であった。

【0011】本発明は、上記事情を考慮して成されたもので、その目的とするところは、画質劣化を生じることなく、且つフレームレートも向上でき、更にデジタル信号処理の負担増加を抑えた画素情報加算による感度向上撮影可能な撮像装置を提供することにある。

【0012】また、本発明の他の目的は、ベイ配列の単板式カラー撮像素子を用いた場合も、複雑な演算処理を要することなく画素加算により感度の向上をはかることができ、且つフレームレートの向上をはかり得る撮像装置を提供することにある。

【0013】

【課題を解決するための手段】(構成)上記課題を解決するために本発明は次のような構成を採用している。

【0014】即ち本発明は、インターライン型電荷転送路を有した撮像素子と、この撮像素子を駆動し、通常の信号読み出しの他に前記転送路内で垂直方向の複数画素電荷を加算しつつ信号読み出しを行う加算読み出しを実行可能な駆動手段と、前記撮像素子から読み出した読み出し後の画素信号に対して水平方向の複数画素に関する加算処理を実行可能な加算演算手段と、前記撮像素子の通常読み出しに対応した第1の撮影モードとこれとは異なる第2の撮影モードとを切替可能に設定するモード設定手段とを具備してなる撮像装置であって、前記モード設定手段が第2の撮影モードを設定した場合には、前記駆動手段は垂直方向の複数画素に関する加算読み出しを実行し、前記加算演算手段は水平方向の複数画素に関する加算処理を実行することを特徴とする。

【0015】また本発明は、インターレース読み出し対応のインターライン型電荷転送路とベイ配列の色フィルタを有したカラー撮像素子と、この撮像素子を駆動し、通常の信号読み出しの他に前記転送路内で垂直方向の複数画素電荷を加算しつつ信号読み出しを行う加算読み出しを実行可能な駆動手段と、前記撮像素子から読み出した読み出し後の画素信号に対して水平方向の複数画素に関する加算処理を実行可能な加算演算手段と、前記撮像素子の通常読み出しに対応した第1の撮影モードとこれとは異なる第2の撮影モードとを切り換え可能に設定するモード設定手段とを具備してなる撮像装置であって、前記モード設定手段が第2の撮影モードを設定した場合には、前記駆動手段は垂直方向に隣接する複数画素に関する加算読み出しを実行し、前記加算演算手段は水平方向に1画素おきの複数画素に関する加算処理を実行することを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては次のものがあげられる。

【0017】(1) 第2の撮影モードにおいて、駆動手段及び加算演算手段による各々の加算画素数は同じであること。

【0018】(2) 第2の撮影モードにおいて、駆動手段及び加算演算手段による各々の加算画素数は同じで、2以上の整数Nであること。

【0019】(3) 撮像素子に対する露光量を制御する露出制御手段を有し、この露出制御手段は、第2の撮影モードにおける露光量の目標値を第1の撮影モードにおける露光量の目標値の $1/N$ 以下の値に、また特に $1/N$ に制御すること。

【0020】(4) 第2の撮影モードにおいて駆動手段は、撮像素子の垂直転送路で2倍速駆動し、垂直方向に隣接する2画素を撮像素子の水平転送路内で加算すること。

【0021】(5) 第2の撮影モードにおいては、加算演

算手段の出力を  $1/N$  倍した後に、画素数に関する項目を除いては第1の撮影モードにおける出力信号と同一の映像信号処理を施すこと。

(6) 撮像素子は、撮像素子における色フィルタはRGBの原色フィルタであること。

【0022】(7) 撮像素子は、CCD撮像素子であること。

【0023】(作用) 本発明によれば、駆動手段により垂直方向の画素加算が行われた信号電荷に対し、加算演算手段により水平方向の画素加算を行うことになるが、この場合1次元の加算演算で済むので、2次元の加算演算に比較して信号処理が格段に簡単となる。また、撮像素子内で垂直方向の画素加算を行っていることから、フレームレートの向上もはかることが可能である。

【0024】このとき、素子内では垂直方向のみの加算しか行なわないから全素子内加算方式に比して素子内信号飽和の問題が軽減される。そして撮像素子に対する露光量の目標値を非加算時の露光量の目標値の  $1/N$  ( $N$  は垂直加算数) 以下に制御する場合は、素子内加算時の電荷量が非加算時の1画素分を越えないから、新たな(通常よりも低い被写体輝度レベルに対する)素子内信号飽和を生じない。また特に素子外での水平方向画素加算数も  $N$  であって露光量の目標値を  $1/N$  に制御する場合は、上記に加えて、総合的な加算処理によるノイズ低減効果が信号成分の減少割合を下回らないから、SNの劣化を生じることもない。

【0025】また、ベイア配列の撮像素子に対しては、インターレースのフレーム読み出しすることにより、奇数フィールドと偶数フィールドの各々において、同じフィールドでは垂直方向の画素が同じ色となり、水平方向の画素は1つおきに同じ色となる。従って、垂直方向の画素に関しては転送路内で容易に加算することができる。例えば、垂直転送路で2倍速駆動することにより、垂直方向に隣接する2画素を水平転送路内で加算することができる。

【0026】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0027】(第1の実施形態) 図1は、本発明の第1の実施形態に係わるデジタルスチルカメラの回路構成を示すブロック図である。

【0028】図中101は各種レンズからなるレンズ系、102はレンズ系101を駆動するためのレンズ駆動機構、103はレンズ系101の絞りを制御するための露出制御機構、104はメカシャッタ、105はベイア配列のカラーフィルタを備えたCCDカラー撮像素子、106は撮像素子105を駆動するためのCCDドライバ、107はゲインコントロールアンプ、A/D変換器等を含むプリプロセス回路、108は色信号生成処理、マトリックス変換処理、その他各種のデジタル処理

を行うためのデジタルプロセス回路、109はカードインターフェース、110はCFやスマートメディア等のメモリカード、111はLCD画像表示系を示している。

【0029】また、図中の112は各部を統括的に制御するためのシステムコントローラ(CPU)、113は各種SWからなる操作スイッチ系、114は操作状態及びモード状態等を表示するための操作表示系、115はレンズ駆動機構102を制御するためのレンズドライバ、116は発光手段としてのストロボ、117はストロボ116を制御するための露出制御ドライバ、118は各種設定情報等を記憶するための不揮発性メモリ(EEPROM)を示している。

【0030】本実施形態のデジタルスチルカメラにおいては、システムコントローラ112が全ての制御を統括的に行っており、特に露出制御機構103に含まれるシャッタ装置と、CCDドライバ106によるCCD撮像素子105の駆動を制御して露光(電荷蓄積)及び信号の読み出しを行い、それをプリプロセス回路107を介してデジタルプロセス回路108に取込んで、各種信号処理を施した後にカードインターフェース109を介してメモリカード110に記録するようになっている。

【0031】CCD撮像素子105は、図2に示すように、マトリクス配置されたフォトダイオード201、複数本の垂直CCD202、及び1本の水平CCD203から構成されたインターライン(IT)型で、インターレース駆動方式のものを採用している。また、カラーフィルタは、図3に示すようにRGBのベイア配列となっている。このような配列では、従来技術で説明したように隣接する画素の加算では異なる色が混ざってしまうので、単純には画素加算を行うことはできない。

【0032】図3のようなインターレースRGBベイア配列の撮像素子では、各フィールドに着目すれば、それぞれRG又はGBのストライプ配列を構成している。そこで本実施形態では、 $n$ ライン加算駆動( $n$ 倍速読み出し)によって各色を混合させることなく水平CCDの中で加算する。具体的には、インターレースのフレーム読み出しで垂直方向の $n$ 画素を水平転送路内で加算する。そして、これを外部に読み出した後、デジタル演算処理によって水平同色 $n$ 画素毎の加算平均を行うものである。

【0033】4画素加算であれば、図4に示すように、奇数フィールドで垂直方向2画素加算、同様に偶数フィールドでも垂直方向2画素加算を行い、撮像素子から読み出した後に、デジタル演算処理により水平方向の同色2画素加算平均を行う。またこのとき、露光量は  $1/2$  に制御する。

【0034】図4のような8画素においては、奇数フィールドの垂直方向2画素加算により( $G1+G5$ )、( $R1+R3$ )、( $G2+G6$ )、( $R2+R4$ )が得

られ、水平方向の同色2画素加算により $(G1+G5) + (G2+G6)$ と $(R2+R4) + (R1+R3)$ が得られる。同様に、偶数フィールドの垂直方向2画素加算により $(B1+B3)$ 、 $(G3+G7)$ 、 $(B2+B4)$ 、 $(G4+G8)$ が得られ、水平方向の同色2画素加算により $(B1+B3) + (B2+B4)$ と $(G3+G7) + (G4+G8)$ が得られる。

【0035】上記の処理は、図5に示すようにして実現することができる。即ち、図1の105に相当するイメージャ系は2倍速垂直加算駆動を行えばよく、108に相当するデジタル信号処理系では水平同色2画素加算（1画素おき）を行えばよく、103に相当する露出制御系では露光量を $1/2$ （目標露光量の設定を $1/2$ ）に制御すればよい。ここで、デジタル信号処理系では、垂直方向の加算が既に成されているため、水平方向のみの加算（1次元の加算）で済むことになり、2次元の加算に比して信号処理が格段に簡略化できる。

【0036】なお、本実施形態で使用している上記nライン加算駆動自体は公知技術であるから詳述を避けるが、通常の駆動では毎回の水平ブランキング期間に1転送単位分だけ出力される垂直駆動パルスを、毎回の水平ブランキング期間にn転送単位分だけ出力するものである。これによって、垂直転送路内の画素情報は垂直方向にn画素ずつが水平転送路において加算されることになる。

【0037】本実施形態により加算して得られる単位画素は、前記図4の右側に示すようにベイア配列となっているため、以後の輝度・色信号生成処理は画素加算を行わない場合とのものと（全画素数が減少するという点だけを除いて）全く同じアルゴリズムを使用することができる。また、総合 $N \times N$ 画素加算を行う場合のCCD内加算画素数はNであるから、最終的な感度アップ量（SN向上量：ランダムノイズはその統計的性質から加算平均画素数の平方根に反比例する）に対応しており、従って露光量の目標値を $1/N$ にすることができるから撮像素子内部（例えば水平転送路）において新たな生じ得る飽和に起因する問題も生じない。例えば、総合4画素加算のとき、露光量は $1/2$ でつじつまが合っている。言い換えれば、SNが劣化しないためにはノイズ低減効果が信号成分の減少を下回らないことが必要だから、 $1/2$ （ $1/N$ ）以上の露光量が必要になり、一方素子内飽和を生じないように垂直加算電荷が通常の非加算時の1画素分を越えないようにするためには露光量は $1/2$ （ $1/N$ ）以下でなければならないが、露光量 $1/2$ （ $1/N$ ）の場合はこれらが両立していることになる。

【0038】そして、CCD出力時点での電荷量（電圧レベル）が変わらないから、量子化ノイズの増大もない。また、電荷量が変わらないということは、上記した「以後の輝度・色信号生成処理は画素加算を行わない場合とのものと全く同じアルゴリズム」についてはゲイン

や階調に関する処理も含めて（画素数以外は）文字通り全く同じを使用可能であるということを意味している。この点は、信号処理のより高い共通化をはかることができるものである。

【0039】もちろん量子化ノイズだけに着目すれば従来の全デジタル方式においてアナログアンプゲインを2倍に設定してもよいことにはなるが、この場合はアナログアンプの可変範囲の広いものが要求されて実現困難になったり、実現できてもゲイン制御に起因する新たなノイズが発生したり、様々な付随問題が生じるものである。

【0040】本実施形態は、このようなアナログ系（A/Dを含む）に起因する新たな問題が発生しないという利点も極めて大きい。なお、アナログ系で発生するノイズについてはデジタル加算に際して更にノイズ低減効果が生じるから、総合的には一般に量子化ノイズの増大を避けるためアナログ系のゲインを通常感度時（非加算時）に対して高く設定する必要のある全デジタル方式よりも確実に高感度が得られる。さらに、n倍速読み出しによるフレームレート向上を利用した連写対応も可能である。

【0041】図6は、本実施形態におけるシャッタ開閉動作と電荷読み出し動作を説明するためのタイミング図である。

【0042】メカシャッタ104を開いた後、最終の電荷排出パルス（VSUB）を与えて電荷蓄積（露光）を開始する。そして、シャッタ104が閉まるまでフォトダイオード201に電荷を蓄積する。次いで、シャッタ104を閉じた後、転送路駆動によって垂直CCD202からの不要電荷排出が完了した直後にODDTGパルスにより奇数フィールドのフォトダイオード201の画素電荷を垂直CCD202に読み出して転送する。このとき、垂直方向の2画素の加算を水平CCD203内で行う。続いて、EVENTGパルスにより偶数フィールドのフォトダイオード201の画素電荷を垂直CCD202に読み出して転送する。このときも同様に、垂直方向の2画素の加算を行う。

【0043】このように本実施形態では、メカシャッタを用いることで奇数フィールドと偶数フィールドに分けて読み出しており、その際読み出しに先だってシャッタ104が閉じられている状態で不要電荷排出を行っているため、スミアなどの無用な電荷がノイズとして入るのを未然に防止することができる。

【0044】（第2の実施形態）なお、第1の実施形態においては露光量は $1/2$ （ $1/N$ ）としたが、これは通常時に対して画質（SN）の劣化を生じないようにするという効果を求めたものであり、これを条件としなければ他の任意の設定もあり得る。この場合の一例として以下に第2の実施形態を示せば、第1の実施形態のカメラに対して異なる点は、

(1) 露出制御の目標値が $1/4$  ( $1/N^2$ )  
 (2) 後段のデジタル演算が加算平均ではなく加算 (1 画素飛ばしの 2 画素に関するものである点と同じ) の 2 点のみである。

【0045】本実施形態の場合、撮像素子からの出力時には通常時の $1/2$ の信号レベルしか得られないが、デジタル加算によって通常レベルに戻るから、露光量が $1/4$ であるということは 4 倍の感度が得られていることになるものである。但し、デジタル系でゲインアップしていることに相当するので、アナログノイズ・量子化ノイズとともに第 1 の実施形態に比して増加する。

【0046】しかしながら、撮像素子に対する露光量の目標値を非加算時の露光量の目標値の $1/4$ としており、これは $1/N$  ( $N$ は垂直加算数) 以下という条件を満たしているから、素子内加算時の電荷量が非加算時の 1 画素分を越えることが無く、少なくとも新たな (通常よりも低い被写体輝度レベルに対する) 素子内信号飽和を生じることは無い。

【0047】なお、本実施形態の更なる変形の形態として、上記(2)をアナログ系の 2 倍ゲインアップとデジタル系の加算平均で行うものもあり得るが、これは量子化ノイズは増加しない代わりにアナログノイズが更に増加するものであり、類例ということができる。また、同様の類例として、上記(1)の露出制御目標値を更に異なる任意の値に設定してもよい。

【0048】なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、撮像素子として CCD を用いたが、これに限らず BBD、CID 等を含む CTD (電荷転送素子) であれば適用可能である。さらに、色フィルタは RGB 等の原色系フィルタに限るものではなく、補色系の色フィルタを用いてもよい。また、加算画素数は垂直方向 2 画素と水平方向 2 画素にしたが、各々の加算画素数は仕様に応じて適宜変更可能である。垂直方向と水平方向の加算画素数を異なるものとしてもよい。

【0049】また、実施形態では特にベイア配列のカラー素子にも適用可能なように、シャッタを併用したインターレース読み出しを行っているが、単板カラー素子でも縦ストライプフィルタのもの、モノクロ素子を用いた多板カラー、或いはモノクロの撮像装置に対しては、このような工夫も必要とせず容易に本発明を適用できるのは明らかである。さらに、加算画素数は垂直水平の各方向 2 画素としたが、加算画素数は仕様に応じて適宜変更可能である。また、本発明はデジタルスチルカメラに限らず、ムービーカメラを含む任意の撮像装置に適用可能であることは言うまでもない。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0050】

【発明の効果】以上詳述したように本発明によれば、駆

動手段により垂直方向の画素加算を行い、加算演算手段により水平方向の画素加算を行うことにより、外部回路では 1 次元の加算演算で済むことになり、2 次元の加算演算に比較して信号処理が格段に簡単となる。また、撮像素子内で垂直方向の画素加算を行っていることから、フレームレートの向上もはかることが可能である。即ち、複雑な演算処理を要することなく画素加算により感度の向上をはかることができ、且つフレームレートの向上をはかることができる。

【0051】またその際、露出制御手段における露光量の目標値を適切に制御することによって、撮像素子内部における新たな信号飽和や SN の低下などの画質劣化の発生を効果的に抑制できる。

【0052】そして、特にベイア配列の撮像素子に対しては、インターレースのフレーム読み出しすることにより、垂直方向の画素に関しては転送路内で加算することができ、これを撮像素子外部に読み出した後に水平方向に 1 画素おきに画素加算を行うことにより、上記の効果を有しながら垂直方向及び水平方向の複数画素の加算が可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係わるデジタルスチルカメラの回路構成を示すブロック図。

【図 2】同実施形態に用いたカラー撮像素子の基本構成を示す図。

【図 3】同実施形態に用いたカラー撮像素子におけるフィルタ配列を示す図。

【図 4】同実施形態の RGB ベイア配列における 4 画素加算の例を示す図。

【図 5】同実施形態を実現するための制御系の機能を示す図。

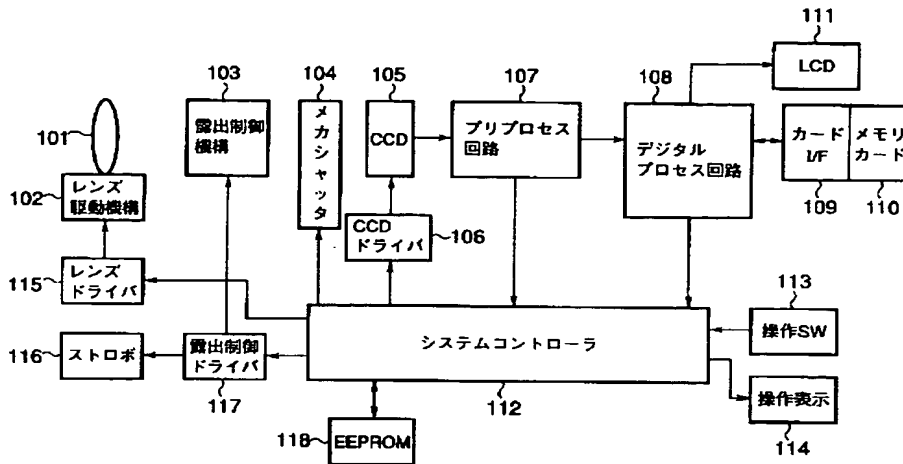
【図 6】同実施形態におけるシャッタ開閉動作と電荷読み出し動作を説明するためのタイミング図。

【符号の説明】

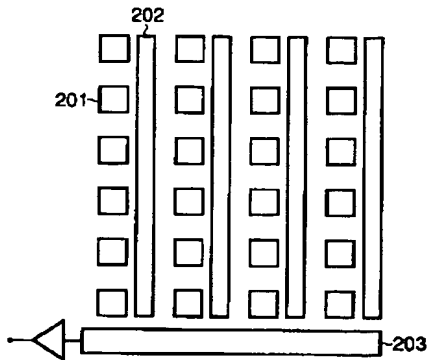
- 101…レンズ系
- 102…レンズ駆動機構
- 103…露出制御機構
- 104…メカシャッタ
- 105…CCD カラー撮像素子
- 106…CCD ドライバ
- 107…プリプロセス回路
- 108…デジタルプロセス回路
- 109…カードインターフェース
- 110…メモ리카ード
- 111…LCD 画像表示系
- 112…システムコントローラ (CPU)
- 113…操作スイッチ系
- 114…操作表示系
- 115…レンズドライバ
- 116…ストロボ

117…露出制御ドライバ  
 118…不揮発性メモリ (EEPROM)  
 201…フォトダイオード  
 202…垂直CCD  
 203…水平CCD

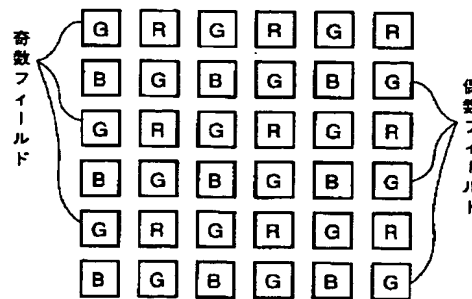
【図1】



【図2】

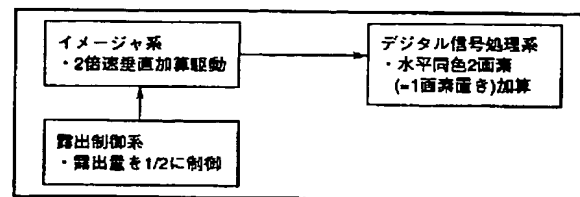
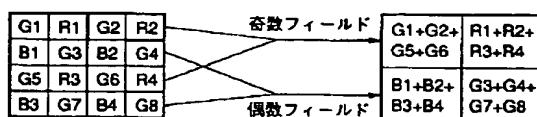


【図3】



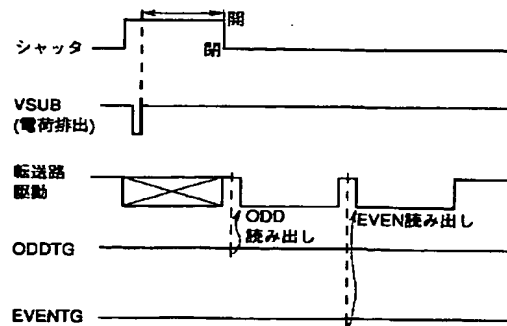
【図5】

【図4】





【図6】



フロントページの続き

Fターム(参考) 4M118 AA06 AB01 BA03 BA10 DB01  
DB20 FB01  
5C024 BX01 CX41 DX01 DX04 DX07  
EX31 EX34 GX03 GY04 GZ25  
GZ32 HX02 HX03 HX23 HX28  
HX58 JX14  
5C065 AA03 BB22 CC01 CC07 CC08  
CC09 DD17 EE05 EE06 EE12  
FF02 GG01 GG18 GG21 GG30  
GG32 GG34